

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-295440

(43)Date of publication of application : 29.11.1989

(51)Int.Cl.

H01L 21/82

H01H 85/00

H01L 21/88

H01L 27/10

(21)Application number : 63-125083

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 24.05.1988

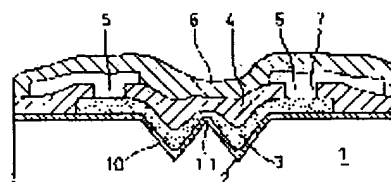
(72)Inventor : MATSUSHITA TSUTOMU

(54) SEMICONDUCTOR DEVICE

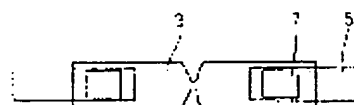
(57)Abstract:

PURPOSE: To obtain a highly reliable thin film fuse, by forming a protruding part on the ground layer of a thin film resistor, and using a region whose thickness becomes thin on the protruding part as a fusing part.

CONSTITUTION: Two V grooves 10 are formed in parallel in the surface of a silicon substrate 1 on which desired element regions are formed. A thin film resistor 3 comprising a polysilicon layer is formed so as to cross said two V grooves 10. The thickness of said thin film resistor becomes locally thin on a projection 11 between the two V grooves 10. A narrow region wherein the width of a pattern becomes narrow is formed. Therefore, when a fusing current is made to flow through the thin film resistor having the thin region on the projection, the thin region of the thin film resistor is fused. The fused material flows from the top point of the protruding part to the lower region. Therefore, wire breakdown occurs positively and readily. In this way, the thin film fuse characterized by the small resistance value at the time of ordinary use, high reliability and a small exclusive area is obtained.



(a)



(b)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑫ 公開特許公報(A) 平1-295440

⑤ Int. Cl.⁴

H 01 L 21/82
H 01 H 85/00
H 01 L 21/88
27/10

識別記号

4 3 1

庁内整理番号

F-8526-5F
6522-5G
A-6824-5F
8624-5F

⑬ 公開 平成1年(1989)11月29日

審査請求 未請求 請求項の数 1 (全6頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 昭63-125083

⑧ 出 願 昭63(1988)5月24日

⑨ 発 明 者 松 下 努 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑩ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑪ 代 理 人 弁理士 三好 保男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

配線の1部に外部からの電流によって溶断可能なように形成された薄膜ヒューズを備えた半導体装置において、

前記薄膜ヒューズは下地層表面に形成された突状部を横切るように配設され、この突状部上では膜厚が薄くなるようにしたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は、半導体装置に係り、特に半導体素子と同一基板上に形成される薄膜ヒューズに関する。

〔従来の技術〕

従来、回路素子と同一基板上に比抵抗の高い薄膜からなる薄膜抵抗体を形成しておき、過電流が流れた場合にこれを溶断させ、回路素子への電流

を阻止し保護するようにした薄膜ヒューズが提案されている。

これはICやパワートランジスタの故障時にショート状態になるのを防ぐため、あるいは、一時的に過電流を流して必要な部分のみを切断して用いるROM(リード・オンリー・メモリ)など、いろいろな装置で用いられている。

例えば第7図(a)および第7図(b)に示すように、所定の素子領域の形成された半導体基板1表面に酸化シリコン層からなる絶縁層2を介してポリシリコンパターンからなる薄膜抵抗体3を形成すると共に、この薄膜抵抗体の両端を配線層5に接続し、配線層5に過電流が流れた場合この薄膜抵抗体3が溶断するようにし、ヒューズの役割を果たすようにしたものがある。すなわち、薄膜抵抗体を配線層よりも比抵抗の大きい材料で形成し、この薄膜抵抗体の両端に、上層に層間絶縁膜4を介して形成されるアルミニウム配線層5をコンタクト孔7を介して接続し、アルミニウム配線層5に過電流が流れた場合薄膜抵抗体3が先に

発熱し溶断するようにし、回路の保護をはかるものである。ここで6は酸化シリコン膜あるいは窒化シリコン膜などからなる表面保護膜である。

このようなヒューズの場合、定格電流のたかだか数倍程度の電流値で確実に溶断するためには、溶断点における薄膜抵抗体の抵抗値をアルミニウム配線層の抵抗値に比べ十分に高くする必要がある。一方、ヒューズ全体としての電気抵抗が高過ぎると、特に電力トランジスタの場合などは電力損失が大きくなるため不利である。

そこでヒューズ全体としての抵抗値は低く、溶断点近傍の極く短い領域のみ局所的に電気抵抗を高くするのが望ましい。そこで、なるべく薄膜抵抗体3の面積を大きくとるようにし、一部分に幅の狭いくびれ領域を形成することによりこれを実現している。

(発明が解決しようとする課題)

しかしながらこのような半導体装置では、薄膜抵抗体3の面積を大きくとると、集積化の点で問題があり、薄膜抵抗体3の膜厚を大きくし、抵抗

値を低くしようとする、くびれ領域の幅をより小さくしなければならない。

通常、薄膜抵抗体はフォトリソグラフィとエッチングとにより形成されるため、その幅を狭くするには加工精度の上で限界があり、溶断部の抵抗値十分に高くすることができない。

従って、薄膜材料として比抵抗の大きいものを用いるしかなく、比抵抗の大きいものを用いると、ヒューズ全体としての抵抗値が大きくなってしまふという問題があった。

また、仮に溶けたとしても、溶断部は平坦面上にあり、断線しないことも度々であった。

本発明は、前記実情に鑑みてなされたもので、専有面積が小さく、信頼性の高い薄膜ヒューズを提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

そこで本発明では、薄膜抵抗体の下地層に、突状部を形成し、この突状部上で膜厚の薄くなった領域が溶断部となるようにしている。

(作用)

下地層に突状部を形成しておくことにより、この上層の薄膜抵抗体の膜厚は、この突状部上でより薄くなる。このため、この薄くなった部分を溶断部とすることにより、抵抗値を局所的に極めて高いものとすることができる。

このようにして突状部上に膜厚の薄い領域を持つ薄膜抵抗体に溶断電流を流すと、この膜厚の薄い領域で薄膜抵抗体が溶け、突状部の頂点から低い領域に流れるため確実かつ容易に断線が起こる。

(実施例)

以下、本発明の実施例について、図面を参照しつつ詳細に説明する。

この半導体装置は、第1図(a)および第1図(b)に示すように、所望の素子領域の形成されたシリコン基板1の表面に2本のV溝10が平行に形成されており、この2本のV溝10を横断するようにポリシリコン層からなる薄膜抵抗体3が形成され、この2本のV溝10の間の突起11上でこの薄膜抵抗体の膜厚が局所的に薄くなると共

にパターン幅が狭くなるくびれ領域を形成するようにしたものである。このシリコン基板の表面には酸化シリコン層からなる絶縁層2が形成されており、V溝10の内側も絶縁層2で被覆されているため、シリコン基板1と薄膜抵抗体3との間の絶縁が達成されている。他の部分については、第7図(a)および第7図(b)に示した従来の半導体装置と同様である。同一箇所には同一符号を付した。ここで、説明のために、表面保護膜等を省略し、第1図(b)は薄膜抵抗体とアルミニウム配線層のみを示した。

次に、この半導体装置の製造工程について説明する。

まず、第2図(a)に示すごとく、所定の素子領域(図示せず)の形成されたシリコン基板1上に、酸化シリコン膜からなる絶縁膜12を形成し、通常のフォトリソ法により、基板エッチング用の窓Wを形成する。

次いで、第2図(b)に示すごとく、この酸化シリコン膜からなる絶縁膜12をマスクとして、

シリコン基板1を異方性エッチングする。

そして、第2図(c)に示すごとく、シリコン基板の<111>面がでるまでエッチングを続行し、間にエッジのシャープな突起11を有する2本の平行なV溝10を形成する。

そして、この絶縁膜12を除去した後、第2図(d)に示すごとく、シリコン基板表面を酸化し、酸化シリコン膜からなる絶縁膜2を形成する。

この後、第2図(e)に示すごとく、この2本のV溝10を横断するように、CVD法によりポリシリコン層を堆積し、フォトリソ法によりパターンニングし、薄膜抵抗体3を形成する。このとき、CVD法により堆積されたポリシリコン層は段差被覆性が悪いので断面形状が鋭角となっている2本の溝の間の突起部11上で膜厚が極めて薄くなっている。

更に、この上層に、第2図(f)に示すごとく、層間絶縁膜4を堆積しコンタクト孔7を形成した後、このコンタクト孔7を介して前記薄膜抵抗体3にコンタクトするようにアルミニウム配線層5

くびれ領域を形成するようにしたものである。他の部分については、第1図に示した前記実施例の半導体装置と同様である。同一箇所には同一符号を付した。

次に、この半導体装置の製造工程について説明する。

まず、第4図(a)に示すごとく、所定の素子領域(図示せず)の形成されたシリコン基板1の表面を酸化し、厚い酸化シリコン膜8を形成する。

次いで、第4図(b)に示すごとく、この酸化シリコン膜8上に、この酸化シリコン膜8をエッチングするためのマスクパターン9を所定の幅Tで帯状に形成する。このマスクパターンの材料としては窒化シリコン膜(Si_3N_4)、フォトレジスト等を選択すると良い。

そして、第4図(c)に示すごとく、このマスクパターン9をマスクとして、等方性エッチングにより、シリコン基板1を所定の深さまでエッチングする。このとき、マスクパターン9下へのエッチングの回り込みにより、マスクパターン9の

を形成し、最後に表面保護膜6としての酸化シリコン膜を形成して、第1図に示したような薄膜ヒューズを備えた半導体装置が完成する。

このようにして形成された薄膜ヒューズは、突起部11上の極めて狭い領域でのみ局所的に高抵抗とすることができ、薄膜ヒューズそのものの比抵抗をあまり大きくする必要がない。従って、ヒューズ全体としての抵抗値を低くするために占有面積を大きくする必要もなく、高集積化が可能であり、溶断臨界電流値に対して抵抗の小さい薄膜ヒューズを提供することが可能である。

次に、本発明の第2の実施例について、説明する。

この半導体装置は、第3図に示すごとく、シリコン基板1表面そのものは平坦なままで、その上に形成される厚い酸化膜8の表面を局所的に凸状に加工して断面鋭角のこの突起20を横断するように、ポリシリコン層からなる薄膜抵抗体3が形成され、この突起20上でこの薄膜抵抗体の膜厚が局所的に薄くなると共にパターン幅が狭くなる

中央部に断面鋭角の突起20が残るようにする。

そして、第4図(d)に示すごとく、このマスクパターン9を除去し、この突起20の形成されたシリコン基板表面を露呈させる。

この後は前記第1の実施例と同様である。

すなわち、第4図(e)に示すごとく、この突起20を横断するように、CVD法によりポリシリコン層を堆積し、フォトリソ法によりパターンニングし、薄膜抵抗体3を形成する。このとき、CVD法により堆積されたポリシリコン層は段差被覆性が悪いので断面形状が鋭角となっている突起20上で膜厚が極めて薄くなっている。

更に、この上層に、第4図(f)に示すごとく、層間絶縁膜4を堆積しコンタクト孔7を形成した後、このコンタクト孔7を介して前記薄膜抵抗体3にコンタクトするようにアルミニウム配線層5を形成し、最後に表面保護膜6としての酸化シリコン膜を形成して、第3図に示したような薄膜ヒューズを備えた半導体装置が完成する。

このようにして形成された薄膜ヒューズが、第

1の実施例で述べた効果を持つことはいうまでもないが、さらに以下に示すような特徴を有している。

酸化シリコン膜8は、熱の不良導体であり、シリコン基板1に比べ熱伝導率が一桁以上小さい。このため、薄膜抵抗体3の膜厚が局所的に薄くなり溶断点となる突起20の頂部では、局所的に酸化シリコン膜の膜厚が大きくなっており熱の放散が悪いため、薄膜抵抗体の発熱が溶断に有効に利用され、より小さい溶断電流で溶断させることができる。従って、前記第1の実施例の薄膜抵抗体よりも、比抵抗の小さい材料を用いることができるため、ヒューズ自体の持つ抵抗を小さく押さえることが可能となる。

次に、本発明の第3の実施例について説明する。

この半導体装置は、第5図に示すごとく、シリコン基板1に局所的にシャープな突起部24を形成し、この突起部24を横断するように、ポリシリコン層からなる薄膜抵抗体3が形成され、この突起部24上でこの薄膜抵抗体の膜厚が局所的に

23を伴う。ここでは、この先端部23同志がつながるようにこのマスクパターンの幅を調整するようにする。

そして、第6図(c)に示すごとく、このマスクパターン21を除去すると共に、この薄膜ヒューズ形成領域の厚い酸化シリコン膜22のみが露呈するように他の領域をマスクパターン(図示せず)で被覆し、この薄膜ヒューズ形成領域の厚い酸化シリコン膜22をエッチング除去する。これにより、シャープな突起部24を持つシリコン基板表面を得ることができる。

この後については、前記第1の実施例で示した第2図(d)乃至第2図(f)の工程と全く同様にするればよい。

この半導体装置によっても、第1の実施例で示した半導体装置と同様、突起部上で局所的に薄膜抵抗体の膜厚を薄くし、局所的に高抵抗とすることができるため、比較的比抵抗の小さい材料を用いてもよく、占有面積を大きくする必要もなく、高集積化が可能であり、溶断臨界電流値に対して

薄くなると共にパターン幅が狭くなるくびれ領域を形成するようにしたものである。

他の部分については、第1図(a)および第1図(b)に示した第1の実施例の半導体装置と同様である。同一箇所には同一符号を付した。

次に、この半導体装置の製造方法について説明する。

まず、第6図(a)に示すごとく、所定の素子領域(図示せず)の形成されたシリコン基板1の表面の酸化シリコン膜2上に、素子分離用の絶縁膜を局所的酸化工程(LOCOS)で形成するための窒化シリコン膜からなるマスクパターンを形成する際に、薄膜ヒューズ形成領域にも開孔部を有するマスクパターン21を形成する。

次いで、第6図(b)に示すごとく、このマスクパターンをマスクとして通常のLOCOS工程を実施する。このときマスクパターンの横方向への酸化を伴うため、この工程で形成される厚い酸化シリコン膜22は、その端縁で尖ってマスクパターン下に延びるバースビークと呼ばれる先端部

抵抗の小さい薄膜ヒューズを提供することが可能である。

また、シリコン基板表面の突起部の形成が、何等工程を付加する必要もなく、LOCOS工程と同一工程で形成できるため、製造も容易である。

なお、上記実施例では、薄膜抵抗体に幅の狭いくびれ部を形成したが、必ずしも、くびれ部を形成する必要はない。

また、薄膜抵抗体の材料としてはポリシリコンに限定されることなく、アルミニウム層等、他の材料を用いても良い。

〔発明の効果〕

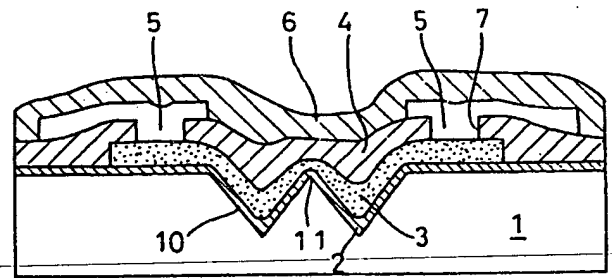
以上説明してきたように、本発明によれば、薄膜抵抗体を形成する下地に突状部を形成しておき、溶断点近傍の薄膜抵抗体の膜厚を局所的に薄くするようにしているため、溶断点近傍での薄膜抵抗体の抵抗値を局所的に高くすることができる。従って、必要とされる溶断臨界電流値に対し薄膜抵抗体の抵抗値を低く設定することができ、通常使用時の抵抗値が小さく信頼性の高いかつ専有面積

の小さい薄膜ヒューズを持つ半導体装置を提供することが可能となる。

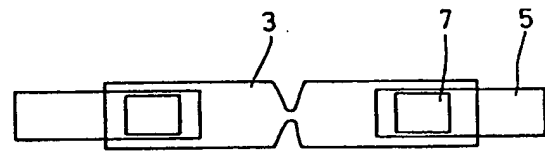
4. 図面の簡単な説明

第1図(a)および第1図(b)は本発明の第1の実施例の半導体装置を示す図、第2図(a)乃至第2図(f)図は同装置の製造工程図、第3図は本発明の第2の実施例の半導体装置を示す図、第4図(a)乃至第4図(f)図は同装置の製造工程図、第5図は本発明の第3の実施例の半導体装置を示す図、第6図(a)乃至第6図(c)図は同装置の製造工程図、第7図(a)および第7図(b)は従来例の半導体装置を示す図である。

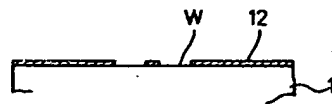
1…半導体基板、2…絶縁層、3…薄膜抵抗体、4…層間絶縁膜、5…アルミニウム配線層、6…表面保護膜、7…コンタクト孔、8…酸化シリコン膜、9…マスクパターン、10…V溝、11…突起、12…絶縁膜、20…突起、21…マスクパターン、22…厚い酸化シリコン膜、23…尖端部。



第1図(a)



第1図(b)



第2図(a)



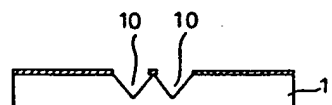
第2図(d)



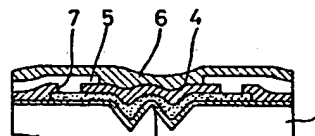
第2図(b)



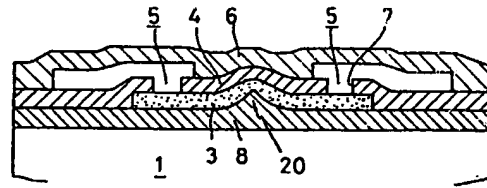
第2図(e)



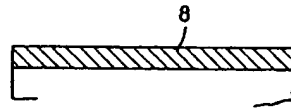
第2図(c)



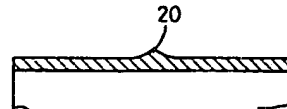
第2図(f)



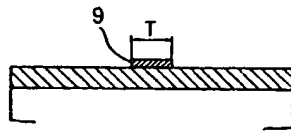
第3図



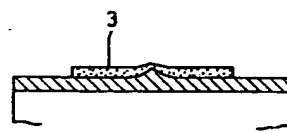
第4図(a)



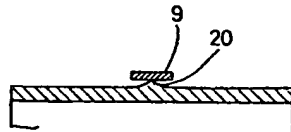
第4図(d)



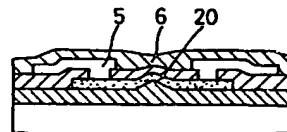
第4図(b)



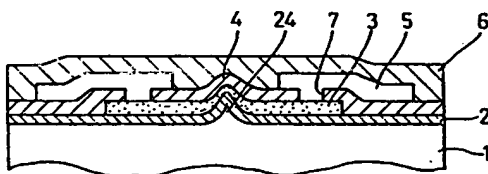
第4図(e)



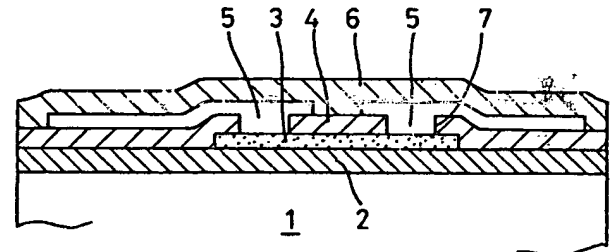
第4図(c)



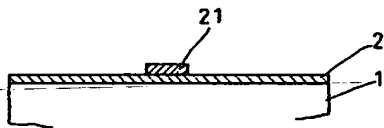
第4図(f)



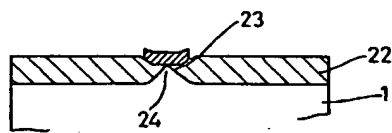
第5図



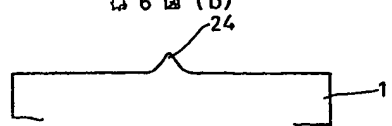
第7図(a)



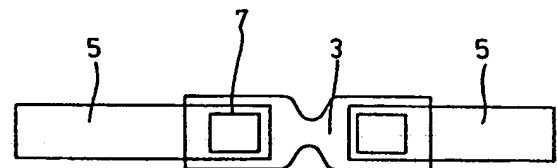
第6図(a)



第6図(b)



第6図(c)



第7図(b)